

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-096105

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

G06F 13/28

(21)Application number : 09-252937

(71)Applicant : CANON INC

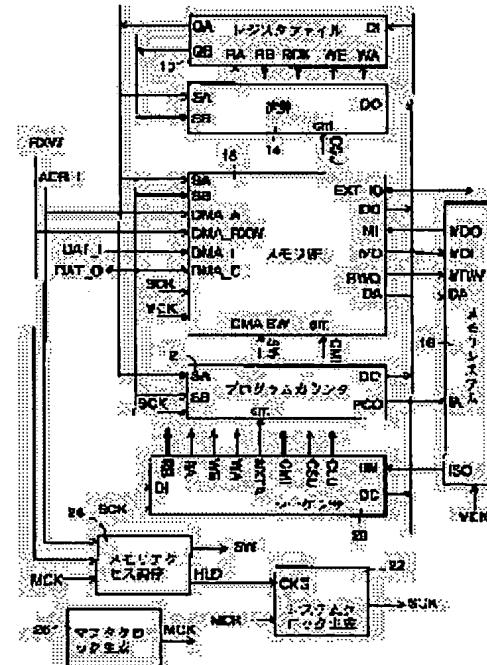
(22)Date of filing : 18.09.1997

(72)Inventor : FUKATSU TSUTOMU

## (54) PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain memory access from the outside by using a small additional hardware.  
**SOLUTION:** A system clock generation circuit 22 generates a system clock SCK from a clock stop signal HLD supplied from a memory access arbitration circuit 24 and a master clock MCK supplied from a master clock generation circuit 26. When a memory access request is inputted from the outside during the execution of an instruction by a processor, the circuit 24 supplies the signal HLD to the circuit 22 and the circuit 22 stops the generation of the system clock SCK based on the signal HLD. The circuit 24 supplies an address control signal switching signal SW to a memory interface simultaneously with the supply of the signal HLD to the circuit 22. Provided that in the case of inputting an address ADR-I to be accessed, a control signal RXW and a writing signal prior to the supply of the switching signal SW, the circuit 24 supplies data DATA-I to the interface 18. The master clock MCK is supplied from the circuit 26 to the circuit 24, a memory system 16 and the circuit 22.



## LEGAL STATUS

[Date of request for examination] 21.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-96105

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl.<sup>6</sup>

G 06 F 13/28

識別記号

310

F I

G 06 F 13/28

310 Q

審査請求 未請求 請求項の数3 OL (全6頁)

(21)出願番号 特願平9-252937

(22)出願日 平成9年(1997)9月18日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 普勝 勉

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

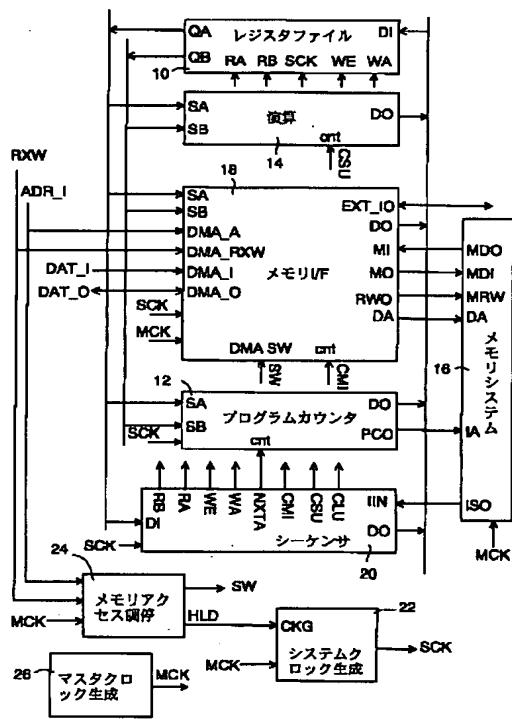
(74)代理人 弁理士 田中 常雄

(54)【発明の名称】 プロセッサ

(57)【要約】

【課題】 小さな付加ハードウェアで外部からのメモリ・アクセスを可能にする。

【解決手段】 システム・クロック生成回路22は、メモリ・アクセス調停回路24からのクロック停止信号HLDとマスタ・クロック生成回路26から供給されるマスター・クロックMCKとからシステム・クロックSCKを生成する。プロセッサの命令実行中に外部からメモリ・アクセス要求があると、回路24は回路22にクロック停止信号HLDを供給し、これに応じて回路22はシステム・クロックSCKの生成を停止する。回路24は信号HLDを回路22に供給すると同時に、メモリ・インターフェース18にアドレス制御信号切り換え信号SWを供給する。但し、回路24は、アドレス制御信号切換え信号SWを供給するのに先立ち、アクセスするアドレスADR\_I、制御信号RXW及び書き込みの場合にはデータDAT\_Iをメモリ・インターフェース18に供給する。回路24、メモリ・システム16及び回路22には回路26からマスター・クロックMCKが供給されている。



(2)

1

## 【特許請求の範囲】

【請求項1】 第1クロックを生成する第1クロック生成手段と、  
 外部からの要求及び前記第1クロック生成手段からの前記第1クロックに応じて第2クロックを生成する第2クロック生成手段と、  
 メモリ・システムと、  
 前記メモリ・システムへのアドレス・データ制御信号の切り替え手段と、  
 前記第1のクロックで駆動され、前記メモリ・システムからの出力データを記憶する第1の記憶手段と、  
 前記第2クロック生成手段から出力される前記第2クロックで駆動される第2の記憶手段とからなり、外部からのメモリ・アクセスが可能であることを特徴とするプロセッサ。

【請求項2】 メモリ・システムに記憶されたプログラムに従って前記メモリ・システムへのアクセスする第1のアクセス、及び外部から前記メモリシステムへアクセスする第2のアクセスが可能なプロセッサであって、  
 第1クロックを生成する第1クロック生成手段と、  
 前記第1クロックにより第2クロックを生成し、前記第2のアクセスにより外部からのメモリ・アクセスが生じたときに前記第2クロックの生成を停止する第2クロック生成手段と、  
 前記第1クロックで駆動され、前記第2のアクセスに応じて前記メモリ・システムからデータを取り込む第1記憶手段と、  
 前記第2クロックで駆動され、前記メモリ・システムの出力を取り込む第2記憶手段とを有し、前記第2のアクセスに応じて、前記第1記憶手段のデータ出力を前記プログラムによるアクセス読み出しデータとし、前記第2記憶手段のデータ出力を外部からのアクセス読み出しデータとすることを特徴とするプロセッサ。

【請求項3】 メモリ・システムに記憶されたプログラムに従って前記メモリ・システムへのアクセスする第1のアクセス、及び外部から前記メモリシステムへアクセスする第2のアクセスが可能であり、命令を処理の構成単位として処理方法が定義されたプログラムの内容に従って処理を行うプロセッサであって、  
 局所的な第1の記憶手段である複数のレジスタで構成されるレジスタ・ファイルと、

次に実行するプログラムアドレスを発生するプログラム・カウンタと、  
 前記レジスタ・ファイルから出力されるデータに所定の演算を施す演算器と、  
 前記レジスタ・ファイル、前記メモリ・システム及び外部とのデータ転送のためのメモリ・インターフェースと、  
 前記メモリ・システムから読み出されたプログラムに従い、前記レジスタ・ファイル、前記演算器、前記メモリ

2

・インターフェース及び前記プログラム・カウンタを制御するシーケンサと、  
 第1クロックを生成する第1クロック生成手段と、  
 前記第1クロック及び外部から前記メモリ・システムへのアクセスに応じて第2クロック信号を生成及び停止する第2クロック生成手段と、  
 前記プログラム及び外部からのメモリ・アクセスを調停するアクセス調停手段と、  
 前記第1クロックで駆動され、前記外部からのメモリ・アクセスに応じて前記メモリ・システムの出力を取り込む第1記憶手段と、  
 前記第2のアクセスにより外部からのメモリアクセスが生じたときに前記アクセス調停手段の制御に応じて停止する前記第2クロックで駆動され、前記メモリ・システムの出力を取り込む第2記憶手段とを有し、外部からのアクセスが無いときは、前記第2記憶手段の出力を読み出しデータとし、外部からのアクセスがあったときは、前記第1記憶手段の出力をプログラムによる読み出しデータとするとと共に、前記第2記憶手段の出力を前記外部からのアクセスによる読み出しデータとすることを特徴とするプロセッサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、メモリを有するプロセッサに関し、より具体的には、外部から直接、当該メモリにアクセス可能なプロセッサに関する。

## 【0002】

【従来の技術】 演算器、メモリ及び外部I/Oを有するプロセッサにおいて、プロセッサのメモリへプロセッサ外からアクセスするには、プロセッサとデータの同期をとる必要がある。即ち、プロセッサのメモリ・アクセスと、プロセッサ外部からのメモリ・アクセスの衝突を回避する必要があるからであり、データの正常な授受が保証される。データの同期をとる手段としては、ポーリング及び割り込み処理がある。

## 【0003】

【発明が解決しようとする課題】 ポーリングでは、プロセッサまたはプロセッサ外部のアクセス手段が、アクセスしようとするメモリの状態を表す信号等を一定間隔でモニタし、アクセスして良いかどうかを判断する。ポーリングでは、プロセッサの処理時間がポーリングによって費やされ、短くなるという欠点がある。

【0004】 割り込み処理は、プロセッサまたはプロセッサ外部に対し、データのアクセスが可能になったことを割り込み信号によって通知し、割り込み処理ルーチンでデータの授受を行うものである。割り込み処理によって、プロセッサは、外部I/Oのデータアクセスを待っている間も他の処理を行うことが可能である。割り込み処理では、割り込み処理から復帰する際、プロセッサのマシーン状態を割り込み処理前の状態に復元する必要が

(3)

3

あり、そのために、割り込み発生時のマシーン状態の保存及び割り込み処理からの復帰時のマシーン状態の復帰というオーバーヘッドを生じる。これを回避するためには、ダイレクト・メモリ・アクセス (DMA) のハードウェアを装備し、プロセッサが介在しなくてもデータ転送を可能としているものもある。

【0005】本発明は、ポーリング及び割り込み処理による外部からのプロセッサ内のメモリへのアクセスの実現に伴うプロセッサ処理時間（処理サイクル）を減少したプロセッサを提示することを目的とする。

【0006】本発明はまた、小さな付加ハードウェアで外部からのメモリ・アクセスを可能にするプロセッサを提示することを目的とする。

【0007】

【課題を解決するための手段】本発明に係るプロセッサは、第1クロックを生成する第1クロック生成手段と、外部からの要求及び前記第1クロック生成手段からの前記第1のクロックに応じて第2クロックを生成する第2クロック生成手段と、メモリ・システムと、前記メモリ・システムへのアドレス・データ制御信号の切り替え手段と、前記第1クロックで駆動され、前記メモリ・システムからの出力データを記憶する第1記憶手段と、前記第2クロック生成手段から出力される前記第2クロックで駆動される第2記憶手段とからなり、外部からのメモリ・アクセスが可能であることを特徴とする。

【0008】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0009】図1は、本発明の一実施例の概略構成ブロック図を示す。10は、各種演算のソースとデステイネーションを一時記憶するレジスタ・ファイル (RG F) 、12は、プログラム・カウンタ、14は演算器 (ALU) 、16はデータ及びインストラクションを記憶するメモリ・システム (MEM) である。メモリ・システム16は、ROM、RAM及び／又は磁気ディスクと外部I/O等とからなり、キャッシュ及び仮想記憶等の手法で階層化されて構成されることもある。18はメモリ・インターフェース、20はシーケンサ、22はシステムクロック生成回路、24はメモリアクセス調停回路、26はマスタクロック生成回路である。

【0010】メモリ・インターフェース18は、内部に、バッファレジスタ、サブバッファレジスタ及び選択器を具備する。

【0011】図1に示すプロセッサの基本動作を説明する。プログラム・カウンタ12から出力されたプログラム・アドレスに記憶されている命令が、メモリ・システム16から読み出され、シーケンサ20に供給される。シーケンサ20は、メモリ・システム16から読み出された命令をデコードし、必要な制御信号を生成する。命令には、ロード／ストア、演算及び分岐命令等がある。

(3)

4

【0012】演算命令では、例えば、レジスタ・ファイル10からデータを読み出して演算器14に供給し、演算器14から出力される演算結果をレジスタ・ファイル10へ書き戻す。ロード／ストア命令では、命令及びレジスタ値で生成されたアドレスのメモリとレジスタとの間で、メモリ・インターフェース18を介してデータを授受する。分岐命令では、分岐先の命令のアドレスに対応するプログラム・カウンタ値をプログラム・カウンタ12にセットして、プログラムの流れを分岐させる。

【0013】本実施例のプロセッサでは、これらの処理がパイプライン処理で実行される。即ち、一つの命令の実行を複数のステージに分割して各ステージを順次実行するが、時系列で隣接する命令の実行をオーバーラップさせ、高い周波数のクロック信号により各ステージを1クロックで実行する。これにより、等価的に1命令を1クロック未満で実行する高いスループットを実現する。このようなパイプライン処理は周知である。

【0014】ロード／ストア命令のパイプライン動作を説明する。本実施例のメモリ・システム16は、同期型であり、クロック入力を有し、アドレス・データ制御入力がクロック信号の立ち上がり（及び立ち下がり）でメモリに取り込まれ、データが書き込み又は読み出されるようになっている。

【0015】命令取り込み (IF) ステージでは、プログラム・カウンタ12から出力されたアドレスの命令が出力される。命令デコード (ID) ステージでは、命令がデコードされる。命令実行 (EX) ステージでは、ロード・ストア命令の場合に、アクセスするメモリアドレスを生成し、ストア命令の場合に、ストアデータをメモリへ供給する。メモリ・アクセス (ME) ステージでは、ロード命令の場合に、ロード・データをメモリから読み出し、バッファレジスタに書き込む。書き戻し (WB) ステージでは、ロード命令の場合に、バッファ・レジスタのロード・データをレジスタファイル10へ書き戻す。

【0016】このような各ステージが1クロック毎に順次実行されて、ロード／ストア命令が実行される。

【0017】次に、パイプライン・プロセッサでのDMA動作を説明する。図2は、本実施例のプロセッサ自身のメモリ・アクセスと、プロセッサ外部からのメモリ・アクセスの調停の様子を示す。

【0018】システム・クロック生成回路22は、メモリ・アクセス調停回路24からのクロック停止信号HLDと、マスタ・クロック生成回路26から供給されるマスタ・クロックMCKとから、システム・クロックSKを生成する。本実施例のプロセッサが命令実行中に、プロセッサ外部からのアクセスのための信号群、即ち、アドレス入力ADR\_I、データ入力DAT\_I、データ出力DAT\_O、読み出し書き込み制御入力R\_XWを介して、メモリ・アクセス要求があったとき、メモリ・

(4)

5

アクセス調停回路24は、システム・クロック生成回路22にクロック停止信号HLDを供給する。メモリ・アクセス調停回路24からクロック停止信号HLDを供給されたシステム・クロック生成回路22は、システム・クロックSCKの生成を停止する。

【0019】メモリ・アクセス調停回路24は、クロック停止信号HLDをシステム・クロック生成回路22に供給すると同時に、メモリ・インターフェース18にアドレス制御信号切り替え信号SWを供給する。但し、メモリ・アクセス調停回路24は、アドレス制御信号切替え信号SWを供給するのに先立ち、アクセスするアドレスADR\_I、制御信号RXW及び書き込みの場合にはデータDAT\_Iをメモリ・インターフェース18に供給する。

【0020】メモリ・アクセス調停回路24、メモリ・システム16及びシステム・クロック生成回路22には、マスタ・クロック生成回路26からマスタ・クロックMCKが供給されており、システム・クロックSCKが停止している間にも、メモリ・システム16へのアクセスが可能になっている。これにより、プロセッサが動作を停止しているクロックサイクルに外部からメモリ・アクセスを行い、データの読み出し及び書き込みが実行される。

【0021】システム・クロックSCKが停止するサイクルがロード命令のメモリ・アクセス・ステージであったとき、本来、メモリから読み出されたデータMIF：MIF-Load dateとなる部分では、システム・クロックで駆動されるバッファレジスタには書き込みクロックが供給されず、マスタ・クロックMCKの2サイクル分となったMEステージの前半に外部からのアドレスMIF：DA-DMA ADRが挿入され、その後、供給されたシステム・クロックSCKにより外部からアクセス要求があったアドレスのデータMIF：MIF-DMA dateがバッファレジスタに記憶されてしまう。そこで、メモリ・インターフェース18にはシステム・クロックSCKの他にマスタ・クロックMCKも供給され、メモリ・インターフェース18は、メモリ・システム16からのデータを、前記アドレス切り替え信号SWに応じて、マスタ・クロックMCKにより駆動されメモリ出力を取り込むサブバッファレジスタ、及び前記アドレス・制御信号・データ切り替え信号を1マスタクロック遅延するためのレジスタを具備し、前記切り替え信号SWの遅延出力によりレジスタ・ファイル10への出力データMIF：DOを、バッファ・レジスタからサブバッファレジスタに切り替えるようになっている。これによって、上記ステージと外部からのメモリ・アクセスが競合したときでも、プロセッサは正常なロード命令を実行することが出来る。

【0022】図3は、図1に示すプロセッサをコントローラとして使用したディジタル映像記録再生装置の概略

50

6

構成ブロック図を示す。110は、変換・逆変換、圧縮・伸長、誤り検出訂正符号化・復号化及び変調・復調の各処理を実行する演算処理装置、112は、演算処理装置110により処理された映像・音声情報を不図示の磁気記録系へ変換する電磁変換系、114は、演算処理装置110における処理のために映像音声情報を記憶するメモリ、116は他の構成要素を制御する制御回路である。

【0023】120は、比較的低速のデータを転送するデータ・インターフェース、122は、主に演算処理装置110とメモリ114の間で高速にデータを転送するデータ・インターフェースである。

【0024】128は映像入力端子、130は映像出力端子であり、共に演算処理装置110に接続する。132は音声入力端子、134は音声出力端子であり、ともにデータ・インターフェース120に接続する。136は図示しない記憶媒体制御系等を接続する外部入出力端子であり、データ・インターフェース124に接続する。

【0025】映像入力端子128に入力するデジタル映像信号データは、演算処理装置110に印加される。演算処理装置110は、高速データ・インターフェース122を介して接続するメモリ114を使用して、映像入力端子128からのデジタル映像信号データに、シャッフリング、DCTなどのデータ変換、ハフマン符号化等の圧縮処理及びリードソロモン符号化等の誤り検出訂正符号化を施す。

【0026】また、音声入力端子132に入力する音声データは、データ・インターフェース120に印加される。データ・インターフェース120は制御回路116の記憶空間の一部にマッピングされており、音声入力端子132からの音声データは、制御回路116がデータ取り込み命令をその記憶空間に対して実行することにより、制御回路116に取り込まれる。制御回路116は、入力した音声データにフェード処理等を施した後、処理後の音声データをデータ・インターフェース120の、データ・インターフェース122によりアクセス可能な箇所にストアする。

【0027】その後、音声データはデータ・インターフェース120からデータ・インターフェース122に転送され、メモリ114に書き込まれる。メモリ114への書き込みの際、時系列的に隣接する音声データは、メモリ114のメモリ空間上、異なった場所に書き込まれ、これにより、シャッフリングされる。メモリ114にシャッフリングされて書き込まれた音声データは、読み出され、演算処理装置110により誤り検出訂正符号化される。

【0028】演算処理装置110は、このように誤り検出訂正符号化された映像データ及び音声データにピタビ符号等の変調処理を施し、電磁変換系112を介して図

(5)

7

示しない記録再生系に供給する。このようにして、記録再生系で映像と音声が記録される。

【0029】図示しない記録再生系に記録された信号は、再生時には、電磁変換系112を介して演算処理装置110に供給される。演算処理装置110は、電磁変換系112からの再生信号を復調処理し、その後、映像情報については、誤り検出訂正処理、伸長処理、データ逆変換処理及び補間処理等を施して、映像出力端子130に出力し、音声情報については、誤り検出訂正処理し、データ・インターフェース122を介してデータ・インターフェース120に供給する。データ・インターフェース120に供給された音声データは、制御回路116が該当する記憶空間へのロード命令を発行することで、制御回路116に取り込まれる。この際、記録時のシャッフルリングを戻すデシャッフルリングが行なわれる。デシャッフルリングにより時系列的にも復元された音声データは、補間処理及びフェード処理等を施され、データ・インターフェース120の音声出力記憶空間にストアされ、音声出力端子134から出力される。

【0030】制御回路116は、外部から制御回路116のメモリデータにアクセスするための信号群、即ち、アドレス入力ADR\_I、データ入力DAT\_I、データ出力DAT\_O及び読み出し書き込み制御入力RXWを有する。

【0031】

【発明の効果】以上の説明から容易に理解できるよう、本発明によれば、小さなハードウエアを付加するだけで、プロセッサ処理性能の低減を小さく抑えて、外部

からのメモリ・アクセスを可能にすることことができた。

## 【図面の簡単な説明】

【図1】 本発明の一実施例の概略構成ブロック図である。

【図2】 本実施例の動作タイミング図である。

【図3】 本実施例のプロセッサを使用したデジタル記録再生装置の概略構成ブロック図である。

## 【符号の説明】

- 10 10 : レジスタ・ファイル
- 12 12 : プログラム・カウンタ
- 14 14 : 演算器
- 16 16 : メモリ・システム
- 18 18 : メモリ・インターフェース
- 20 20 : シーケンサ
- 22 22 : システム・クロック生成回路
- 24 24 : メモリ・アクセス調停回路
- 26 26 : マスター・クロック生成回路
- 110 110 : 演算処理装置
- 112 112 : 電磁変換系
- 114 114 : メモリ
- 116 116 : 制御回路
- 120 120 : データ・インターフェース
- 122 122 : データ・インターフェース
- 128 128 : 映像入力端子
- 130 130 : 映像出力端子
- 132 132 : 音声入力端子
- 134 134 : 音声出力端子

10

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

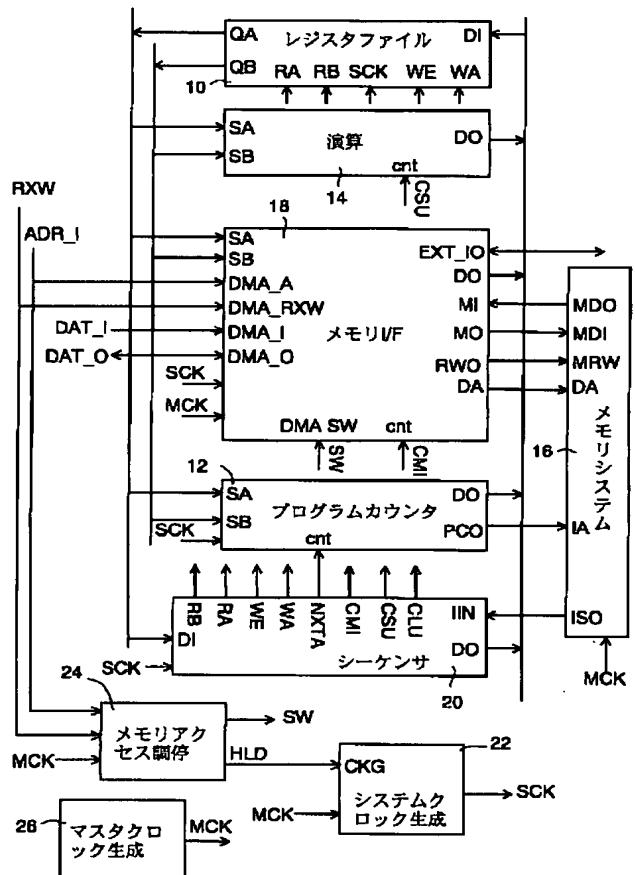
20

20

20

(6)

【図1】



【図3】

